

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-312975

(43)公開日 平成10年(1998)11月24日

(51)Int.Cl.⁶
H 0 1 L 21/28
21/768
21/8238
27/092
29/78

識別記号
3 0 1

F I
H 0 1 L 21/28
21/90
27/08
29/78

3 0 1 T
A
3 2 1 F
3 0 1 P

審査請求 未請求 請求項の数32 O L (全 17 頁) 最終頁に統く

(21)出願番号 特願平9-124108

(22)出願日 平成9年(1997)5月14日

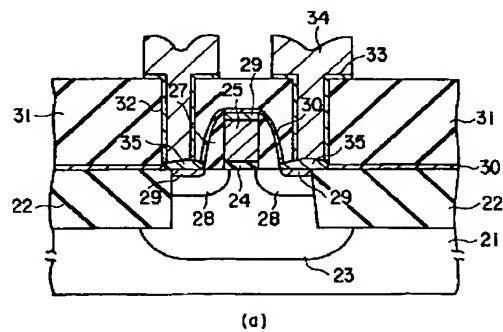
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 高木 万里子
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置及びその製造方法

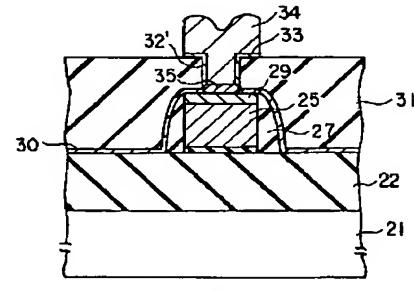
(57)【要約】

【課題】 工程数の増加、オーバーエッチングのないコンタクト構造を得る。

【解決手段】 素子分離膜22上には、エッチングストップとして機能するシリコン窒化膜30が配置されている。MOSトランジスタのソース・ドレイン拡散層28の一部には、チタンシリサイド層29が形成される。コンタクトホールの内面には、窒化チタンとチタンの積層から構成されるバリアメタル33が形成される。金属配線34とソース・ドレイン拡散層28の間には、Ti-Si-N系の合金からなる導電膜35が形成される。この導電膜35は、シリコン窒化膜30が、チタンシリサイド層29中又はバリアメタル33中のチタンと反応することによってできたものである。



(a)



(b)

1

【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板の表面領域に設けられる拡散層と、前記半導体基板上に設けられ、前記拡散層上にコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール直下の前記拡散層中に設けられるシリサイド層と、前記コンタクトホール内に設けられる配線層と、前記シリサイド層と前記配線層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記シリサイド層中の金属原子を含む組成を有する合金化層とを具備することを特徴とする半導体装置。

【請求項2】 半導体基板と、前記半導体基板の表面領域に設けられるソース・ドレイン拡散層と、前記ソース・ドレイン拡散層間のチャネル領域上に設けられるゲート電極と、前記半導体基板上に設けられ、前記ソース・ドレイン拡散層上及び前記ゲート電極上にそれぞれコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール直下の前記拡散層中及び前記ゲート電極上にそれぞれ設けられるシリサイド層と、前記コンタクトホール内に設けられる配線層と、前記シリサイド層と前記配線層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記シリサイド層中の金属原子を含む組成を有する合金化層とを具備することを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、

前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項4】 請求項1又は2記載の半導体装置において、

前記配線層の下部は、高融点金属を含む金属層であり、前記合金化層は、少なくとも前記金属層を構成する原子を含む組成を有していることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子及び前記金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項6】 半導体基板と、前記半導体基板の表面領域に設けられる拡散層と、前記半導体基板上に設けられ、前記拡散層上にコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール内に設けられ、下部が高融点金属を含む金属層からなる配線層と、前記拡散層と前記金属層の間に設けられ、

2

少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記金属層中の金属原子を含む組成を有する合金化層とを具備することを特徴とする半導体装置。

【請求項7】 半導体基板と、前記半導体基板の表面領域に設けられるソース・ドレイン拡散層と、前記ソース・ドレイン拡散層間のチャネル領域上に設けられるゲート電極と、前記半導体基板上に設けられ、前記ソース・ドレイン拡散層上及び前記ゲート電極上にそれぞれコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール内に設けられ、下部が高融点金属を含む金属層からなる配線層と、前記拡散層と前記金属層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記金属層中の金属原子を含む組成を有する合金化層とを具備することを特徴とする半導体装置。

【請求項8】 請求項6又は7記載の半導体装置において、

前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項9】 請求項6又は7記載の半導体装置において、

前記コンタクトホール直下の前記拡散層中に設けられるシリサイド層を備え、前記合金化層は、少なくとも前記シリサイド層を構成する原子を含む組成を有していることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子及び前記金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項11】 半導体基板と、前記半導体基板上に形成される第1絶縁膜と、前記第1絶縁膜上に設けられ、上部が高融点金属を含む第1金属層からなる第1配線層と、前記第1絶縁膜上に設けられ、前記第1配線層上にコンタクトホールを有する第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール内に設けられる第2配線層と、前記第1配線層と前記第2配線層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記第1金属層中の金属原子を含む組成を有する合金化層とを具備することを特徴とする半導体装置。

【請求項12】 請求項11記載の半導体装置において、

前記エッチングストッパ用絶縁膜は、前記第1及び第2絶縁膜に対してエッチング選択比を有し、かつ、前記第

1 金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項13】 請求項11記載の半導体装置において、

前記第2配線層の下部は、高融点金属を含む第2金属層であり、前記合金化層は、少なくとも前記第2金属層を構成する原子を含む組成を有していることを特徴とする半導体装置。

【請求項14】 請求項13記載の半導体装置において、

前記エッチングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッチング選択比を有し、かつ、前記第1金属層中の金属原子及び前記第2金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項15】 半導体基板と、前記半導体基板上に形成される第1絶縁膜と、前記第1絶縁膜上に設けられる第1配線層と、前記第1絶縁膜上に設けられ、前記第1配線層上にコンタクトホールを有する第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜の間に設けられるエッチングストップ用絶縁膜と、前記コンタクトホール内に設けられ、下部が高融点金属を含む第1金属層からなる第2配線層と、前記第1配線層と前記第2配線層の間に設けられ、少なくとも前記エッティングストップ用絶縁膜を構成する原子及び前記第1金属層中の金属原子を含む組成を有する合金化層とを具備することを特徴とする半導体装置。

【請求項16】 請求項15記載の半導体装置において、

前記エッティングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッティング選択比を有し、かつ、前記第1金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項17】 請求項15記載の半導体装置において、

前記第1配線層の上部は、高融点金属を含む第2金属層であり、前記合金化層は、少なくとも前記第2金属層を構成する原子を含む組成を有していることを特徴とする半導体装置。

【請求項18】 請求項17記載の半導体装置において、

前記エッティングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッティング選択比を有し、かつ、前記第1金属層中の金属原子及び前記第2金属層中の金属原子と合金化反応を起こすような材料から構成されていることを特徴とする半導体装置。

【請求項19】 半導体基板中に拡散層を形成する工程と、前記拡散層中にシリサイド層を形成する工程と、前記半導体基板上にエッティングストップ用絶縁膜を形成する工程と、前記エッティングストップ用絶縁膜上に層間絶

縁膜を形成する工程と、前記拡散層上における前記層間絶縁膜にコンタクトホールを形成する工程と、アニールを行い、前記エッティングストップ用絶縁膜と前記シリサイド層とを反応させ、前記エッティングストップ用絶縁膜を合金化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項20】 半導体基板上に、ソース・ドレイン拡散層及びゲート電極を有するMOSトランジスタを形成する工程と、前記ソース・ドレイン拡散層中及び前記ゲート電極上にそれぞれシリサイド層を形成する工程と、

前記半導体基板上に前記MOSトランジスタを覆うエッティングストップ用絶縁膜を形成する工程と、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成する工程と、前記ソース・ドレイン拡散層上及び前記ゲート電極上における前記層間絶縁膜にコンタクトホールを形成する工程と、アニールを行い、前記エッティングストップ用絶縁膜と前記シリサイド層とを反応させ、前記エッティングストップ用絶縁膜を合金化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項21】 請求項19又は20記載の半導体装置の製造方法において、

前記アニールを行う前に、前記コンタクトホール内に配線層を埋め込む工程を具備することを特徴とする半導体装置の製造方法。

【請求項22】 請求項19又は20記載の半導体装置の製造方法において、

前記アニールを行う前に、前記コンタクトホール内に高融点金属を含む第1金属層を形成する工程を具備し、前記アニールを行う工程の際、前記エッティングストップ用絶縁膜は、前記第1金属層とも反応することを特徴とする半導体装置の製造方法。

【請求項23】 半導体基板中に拡散層を形成する工程と、前記半導体基板上にエッティングストップ用絶縁膜を形成する工程と、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成する工程と、前記拡散層上における前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホール内に高融点金属を含む第1金属層を形成する工程と、アニールを行い、前記エッティングストップ用絶縁膜と前記第1金属層とを反応させ、前記エッティングストップ用絶縁膜を合金化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項24】 半導体基板上に、ソース・ドレイン拡散層及びゲート電極を有するMOSトランジスタを形成する工程と、前記半導体基板上に前記MOSトランジスタを覆うエッティングストップ用絶縁膜を形成する工程と、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成する工程と、前記ソース・ドレイン拡散層上及び前記ゲート電極上における前記層間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホール内に高融点金属を含む第1金属層を形成する工程と、アニールを

5

行い、前記エッチングストッパ用絶縁膜と前記第1金属層とを反応させ、前記エッチングストッパ用絶縁膜を合金化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項25】 請求項23又は24記載の半導体装置の製造方法において、

前記アニールを行う前に、前記コンタクトホール内に第2金属層を埋め込む工程を具備することを特徴とする半導体装置の製造方法。

【請求項26】 請求項23又は24記載の半導体装置の製造方法において、

前記拡散層を形成した後、前記エッチングストッパ用絶縁膜を形成する前に、前記拡散層中にシリサイド層を形成する工程を具備し、

前記アニールを行う工程の際、前記エッチングストッパ用絶縁膜は、前記シリサイド層とも反応することを特徴とする半導体装置の製造方法。

【請求項27】 半導体基板上の第1絶縁膜上に、上部が高融点金属を含む第1金属層からなる第1配線層を形成する工程と、前記第1絶縁膜上に前記第1配線層を覆うエッチングストッパ用絶縁膜を形成する工程と、前記エッチングストッパ用絶縁膜上に第2絶縁膜を形成する工程と、前記第1配線層上における前記第2絶縁膜にコンタクトホールを形成する工程と、アニールを行い、前記エッチングストッパ用絶縁膜と前記第1金属層とを反応させ、前記エッチングストッパ用絶縁膜を合金化する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項28】 請求項27記載の半導体装置の製造方法において、

前記アニールを行う前に、前記コンタクトホール内に配線層を埋め込む工程を具備することを特徴とする半導体装置の製造方法。

【請求項29】 請求項27記載の半導体装置の製造方法において、

前記アニールを行う前に、前記コンタクトホール内に高融点金属を含む第2金属層を形成する工程を具備し、前記アニールを行う工程の際、前記エッチングストッパ用絶縁膜は、前記第2金属層とも反応することを特徴とする半導体装置の製造方法。

【請求項30】 半導体基板上の第1絶縁膜上に第1配線層を形成する工程と、前記第1絶縁膜上に前記第1配線層を覆うエッチングストッパ用絶縁膜を形成する工程と、前記エッチングストッパ用絶縁膜上に第2絶縁膜を形成する工程と、前記第1配線層上における前記第2絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホール内に高融点金属を含む第1金属層を形成する工程と、アニールを行い、前記エッチングストッパ用絶縁膜と前記第1金属層とを反応させ、前記エッチングストッパ用絶縁膜を合金化する工程とを具備することを特

10

徴とする半導体装置の製造方法。

【請求項31】 請求項30記載の半導体装置の製造方法において、

前記アニールを行う前に、前記コンタクトホール内に第2金属層を埋め込む工程を具備することを特徴とする半導体装置の製造方法。

【請求項32】 請求項30記載の半導体装置の製造方法において、

前記第1配線層は、その上部が高融点金属を含む第2金

10 層を有するように形成され、前記アニールを行う工程の際、前記エッチングストッパ用絶縁膜は、前記第2金属層とも反応することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、自己整合型コンタクト構造を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 集積回路装置の性能や集積度の向上は、一般に、集積回路を構成する各素子の寸法を縮小することによって達成できる。例えば、MOSトランジスタの場合、集積度の向上は、ゲート電極幅の縮小、ソース・ドレイン拡散層に対するコンタクトホールのコンタクト径の縮小や、合せずれがないと仮定した場合のコンタクトホールと素子分離膜との間の幅（以下、余裕幅）を小さくすることなどにより達成できる。

【0003】 特に、図19に示すように、コンタクトホール10と素子分離膜11との間の余裕幅aについて30は、集積度の向上に大きな影響を与える反面、トランジスタの性能に大きな影響を与えることがない（トランジスタの性能を悪化させない）ため、集積度の向上のために、この余裕幅aを小さくすることは、有意義である。

【0004】 しかしながら、ソース・ドレイン拡散層12に対するコンタクトホール10の位置を決定するフォトレジストのリソグラフィ時に、レチクル側のコンタクトホールのパターンと集積回路装置側のトランジスタのパターンとの間の合せずれが、余裕幅aよりも大きくなると、リーク電流の増大という問題が生じる。

【0005】 この点について詳細に説明する。まず、合せずれが余裕幅aよりも大きくなると、図20に示すように、コンタクトホール10の一部は、素子分離膜11とオーバーラップすることになる。

【0006】 一方、通常の集積回路装置では、一般に、素子分離膜11及び層間絶縁膜には、絶縁性が優れている点と誘電率が低い点に鑑みて、共に、酸化膜（SiO₂など）が使用されている。

【0007】 つまり、図21及び図22に示すように、リソグラフィ終了後、フォトレジストパターンをマスクにして、例えばRIEにより、層間絶縁膜14をエッチ

50

6

ングする際、コンタクトホール10と素子分離膜11とのオーバーラップ部分に存在する素子分離膜（LOCOS膜、STI（Shallow Trench Isolation）膜）11も同時にエッティングされてしまう。

【0008】このオーバーエッティングは、素子分離膜11と層間絶縁膜14が、同じ系統の（エッティング選択比がほぼ等しい）材料から構成されているために生じるものである。

【0009】素子分離膜14がエッティングされた場合、ソース・ドレイン拡散層12のpn接合面と、コンタクトホール10内の金属配線15とソース・ドレイン拡散層12との界面との距離が短くなったり、最悪の場合には金属配線15と基板16が短絡したりするため、金属配線15から基板16に電荷が流れ込み、リーク電流が発生し易くなる。

【0010】上述の問題を回避する方法としては、層間絶縁膜及び素子分離膜（シリコン酸化膜など）に対してエッティング選択比を有する膜を、エッティングストップとして、層間絶縁膜と素子分離膜の間、及びソース・ドレイン拡散層と層間絶縁膜の間に設ける方法が知られている。

【0011】この方法は、まず、図23に示すように、シリコン基板16上の素子分離膜（シリコン酸化膜など）11を取り囲まれた素子領域に、ソース・ドレイン拡散層12、及びゲート電極13を有するMOSトランジスタを形成する。

【0012】なお、MOSトランジスタは、ゲート電極13の直下にゲート酸化膜17が配置され、ゲート電極13上及び側壁にシリコン窒化膜18、19が配置されるようにして形成される。

【0013】この時、ソース・ドレイン拡散層12の表面は、剥き出し状態になっている。この後、LPCVD法により、シリコン基板16上の全面に、エッティングストップ用のシリコン窒化膜20を形成する。続けて、LPCVD法により、シリコン窒化膜20上に、層間絶縁膜（シリコン酸化膜など）14を形成する。

【0014】次に、図24に示すように、RIEを用いて、層間絶縁膜14をエッティングし、層間絶縁膜14にコンタクトホール10を設ける。この時、シリコン窒化膜20は、素子分離膜11及び層間絶縁膜14を構成するシリコン酸化膜に対して、RIEによるエッティング選択比を有しているため、エッティングは、シリコン窒化膜20の表面で止まり、素子分離膜11がエッティングされるという事態が生じることはない。

【0015】この後、図25に示すように、例えば、RIEを用いて、コンタクトホール10の底面に存在するシリコン窒化膜20のみをエッティングする。その結果、ソース・ドレイン拡散層12は、コンタクトホール10の底面において剥き出し状態となる。

【0016】この時、例えば、合せずれによりコンタク

トホール10と素子分離膜11がオーバーラップしている場合においても、素子分離膜（シリコン酸化膜など）11は、シリコン窒化膜20に対して、RIEによるエッティング選択比を有しているため、エッティングは、素子分離膜11の表面で止まり、素子分離膜11がエッティングされることはない。

【0017】このように、上述の技術によれば、ソース・ドレイン拡散層12に対するコンタクトホール10を設ける場合において、ソース・ドレイン拡散層12上及び素子分離膜11上に、予めエッティングストップとしてのシリコン窒化膜20を配置しているため、素子分離膜11がエッティングされることに伴うリーク電流の増大を防ぐことが可能である。

【0018】しかしながら、この方法では、第一に、コンタクトホールの形成に際して、層間絶縁膜14のエッティングとシリコン窒化膜20のエッティングの2回のエッティング工程が必要となる。

【0019】従って、上述の方法は、エッティングストップとしてのシリコン窒化膜20を設けない場合の方法に比べて、製造工程数が増え、製造コストが増大するという問題がある。

【0020】また、第二に、図25に示すように、2回のエッティング工程に起因して、層間絶縁膜14とシリコン窒化膜20との界面部に段差Xが発生し易くなる。この段差Xは、コンタクトホール10内における金属配線15の被覆性を劣化させるため、金属配線15の段線の原因となる問題がある。

【0021】また、第三に、図25に示すように、シリコン窒化膜20と基板（ソース・ドレイン拡散層部におけるシリコン又はシリサイド）16とのエッティング選択比が大きくないため、シリコン窒化膜20のエッティングの際に基板16も同時にエッティングされ、基板16に窪みYが形成される問題がある。

【0022】特に、近年の微細化されたMOSトランジスタでは、短チャネル効果を抑制する観点から、ソース・ドレイン拡散層12の深さを非常に浅く設定する。このため、この窪みYが大きくなると、コンタクトホール10がソース・ドレイン拡散層12を突き抜けてしまい、リーク電流やコンタクト抵抗が増大する。

【0023】第三の問題点を解決する方法としては、コンタクトホール10を形成した後に、ソース・ドレイン拡散層12に対し、再び、不純物の導入を行い、ソース・ドレイン拡散層12と金属配線15のコンタクト部分のみ、ソース・ドレイン拡散層12の深さを深くするという方法が知られている。

【0024】しかしながら、この方法を用いると、集積回路装置がCMOS構造の場合、リソグラフィ工程、イオン注入工程が、それぞれPチャネル型MOSトランジスタ側とNチャネル型MOSトランジスタ側とで1回ずつ必要となる。また、基板に導入された不純物を活性化

させるアニール工程が1回必要となる。

【0025】つまり、この方法を用いると、通常の製造方法に比べて、リソグラフィ工程が2回、イオン注入工程が2回、アニール工程が1回増えることになり、コスト増大の原因となる。

【0026】また、アニール工程は、摂氏900度以上の温度で行われるため、当初のソース・ドレイン拡散層12の深さを増大させることにもなり、当初の目的である短チャネル効果の防止を達成できなくなる場合がある。

【0027】

【発明が解決しようとする課題】このように、従来は、ソース・ドレイン拡散層に対するコンタクトホールの形成に際して、リソグラフィ時の合せずれによる素子分離膜のエッチングが発生し、このためにリーク電流が増大するという問題があると共に、この問題を解決するための有効な手段が存在しなかった。

【0028】本発明は、上記欠点を解決すべくなされたもので、その目的は、コンタクトホールやピアホールの形成に際して、リソグラフィ時の合せずれが生じても、所望の位置でエッチングを止めることができると共に、製造工程数の増加もないような半導体装置の製造方法、及び当該方法により形成される高集積化、高歩留り、高信頼性を達成し得る半導体装置を提供することである。

【0029】

【課題を解決するための手段】

A. 上記目的を達成するため、本発明の半導体装置は、半導体基板と、前記半導体基板の表面領域に設けられる拡散層と、前記半導体基板上に設けられ、前記拡散層上にコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール直下の前記拡散層中に設けられるシリサイド層と、前記コンタクトホール内に設けられる配線層と、前記シリサイド層と前記配線層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記シリサイド層中の金属原子を含む組成を有する合金化層とを備えている。

【0030】前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子と合金化反応を起こすような材料から構成されている。

【0031】前記配線層の下部は、高融点金属を含む金属層であり、前記合金化層は、少なくとも前記金属層を構成する原子を含む組成を有している。前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子及び前記金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0032】B. 本発明の半導体装置は、半導体基板

と、前記半導体基板の表面領域に設けられる拡散層と、前記半導体基板上に設けられ、前記拡散層上にコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール内に設けられ、下部が高融点金属を含む金属層からなる配線層と、前記拡散層と前記金属層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記金属層中の金属原子を含む組成を有する合金化層とを備えている。

【0033】前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0034】前記コンタクトホール直下の前記拡散層中に設けられるシリサイド層を備え、前記合金化層は、少なくとも前記シリサイド層を構成する原子を含む組成を有している。

【0035】前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子及び前記金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0036】C. 本発明の半導体装置は、半導体基板と、前記半導体基板の表面領域に設けられるソース・ドレイン拡散層と、前記ソース・ドレイン拡散層間のチャネル領域上に設けられるゲート電極と、前記半導体基板上に設けられ、前記ソース・ドレイン拡散層上及び前記ゲート電極上にそれぞれコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッチングストッパ用絶縁膜と、前記コンタクトホール直下の前記拡散層中及び前記ゲート電極上にそれぞれ設けられるシリサイド層と、前記コンタクトホール内に設けられる配線層と、前記シリサイド層と前記配線層の間に設けられ、少なくとも前記エッチングストッパ用絶縁膜を構成する原子及び前記シリサイド層中の金属原子を含む組成を有する合金化層とを備えている。

【0037】前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子と合金化反応を起こすような材料から構成されている。

【0038】前記配線層の下部は、高融点金属を含む金属層であり、前記合金化層は、少なくとも前記金属層を構成する原子を含む組成を有している。前記エッチングストッパ用絶縁膜は、前記層間絶縁膜に対してエッチング選択比を有し、かつ、前記シリサイド層中の金属原子及び前記金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0039】D. 本発明の半導体装置は、半導体基板と、前記半導体基板の表面領域に設けられるソース・ドレイン拡散層と、前記ソース・ドレイン拡散層間のチャ

11

ネル領域上に設けられるゲート電極と、前記半導体基板上に設けられ、前記ソース・ドレイン拡散層上及び前記ゲート電極上にそれぞれコンタクトホールを有する層間絶縁膜と、前記半導体基板と前記層間絶縁膜の間に設けられるエッティングストップ用絶縁膜と、前記コンタクトホール内に設けられ、下部が高融点金属を含む金属層からなる配線層と、前記拡散層と前記金属層の間に設けられ、少なくとも前記エッティングストップ用絶縁膜を構成する原子及び前記金属層中の金属原子を含む組成を有する合金化層とを備えている。

【0040】前記エッティングストップ用絶縁膜は、前記層間絶縁膜に対してエッティング選択比を有し、かつ、前記金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0041】前記コンタクトホール直下の前記拡散層上及び前記ゲート電極上にそれぞれ設けられるシリサイド層を備え、前記合金化層は、少なくとも前記シリサイド層を構成する原子を含む組成を有している。

【0042】前記エッティングストップ用絶縁膜は、前記層間絶縁膜に対してエッティング選択比を有し、かつ、前記シリサイド層中の金属原子及び前記金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0043】E. 本発明の半導体装置は、半導体基板と、前記半導体基板上に形成される第1絶縁膜と、前記第1絶縁膜上に設けられ、上部が高融点金属を含む第1金属層からなる第1配線層と、前記第1絶縁膜上に設けられ、前記第1配線層上にコンタクトホール（ビアホール）を有する第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜の間に設けられるエッティングストップ用絶縁膜と、前記コンタクトホール内に設けられる第2配線層と、前記第1配線層と前記第2配線層の間に設けられ、少なくとも前記エッティングストップ用絶縁膜を構成する原子及び前記第1金属層中の金属原子を含む組成を有する合金化層とを備えている。

【0044】前記エッティングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッティング選択比を有し、かつ、前記第1金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0045】前記第2配線層の下部は、高融点金属を含む第2金属層であり、前記合金化層は、少なくとも前記第2金属層を構成する原子を含む組成を有している。前記エッティングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッティング選択比を有し、かつ、前記第1金属層中の金属原子及び前記第2金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0046】F. 本発明の半導体装置は、半導体基板と、前記半導体基板上に形成される第1絶縁膜と、前記第1絶縁膜上に設けられる第1配線層と、前記第1絶縁膜上に設けられ、前記第1配線層上にコンタクトホール

12

（ビアホール）を有する第2絶縁膜と、前記第1絶縁膜と前記第2絶縁膜の間に設けられるエッティングストップ用絶縁膜と、前記コンタクトホール内に設けられ、下部が高融点金属を含む第1金属層からなる第2配線層と、前記第1配線層と前記第2配線層の間に設けられ、少なくとも前記エッティングストップ用絶縁膜を構成する原子及び前記第1金属層中の金属原子を含む組成を有する合金化層とを備えている。

【0047】前記エッティングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッティング選択比を有し、かつ、前記第1金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0048】前記第1配線層の上部は、高融点金属を含む第2金属層であり、前記合金化層は、少なくとも前記第2金属層を構成する原子を含む組成を有している。前記エッティングストップ用絶縁膜は、前記第1及び第2絶縁膜に対してエッティング選択比を有し、かつ、前記第1金属層中の金属原子及び前記第2金属層中の金属原子と合金化反応を起こすような材料から構成されている。

【0049】G. 本発明の半導体装置の製造方法は、半導体基板中に拡散層を形成し、前記拡散層中にシリサイド層を形成し、前記半導体基板上にエッティングストップ用絶縁膜を形成し、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成し、前記拡散層上における前記層間絶縁膜にコンタクトホールを形成し、アニールを行い、前記エッティングストップ用絶縁膜と前記シリサイド層とを反応させ、前記エッティングストップ用絶縁膜を合金化する、という一連の工程から構成されている。

【0050】また、前記アニールを行う前に、前記コンタクトホール内に配線層を埋め込む。また、前記アニールを行う前に、前記コンタクトホール内に高融点金属を含む第1金属層を形成しておき、前記アニールの際に、前記エッティングストップ用絶縁膜を前記第1金属層と反応させてよい。

【0051】H. 本発明の半導体装置の製造方法は、半導体基板中に拡散層を形成し、前記半導体基板上にエッティングストップ用絶縁膜を形成し、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成し、前記拡散層上における前記層間絶縁膜にコンタクトホールを形成し、前記コンタクトホール内に高融点金属を含む第1金属層を形成し、アニールを行い、前記エッティングストップ用絶縁膜と前記第1金属層とを反応させ、前記エッティングストップ用絶縁膜を合金化する、という一連の工程から構成される。

【0052】また、前記アニールを行う前に、前記コンタクトホール内に第2金属層を埋め込む。また、前記拡散層を形成した後、前記エッティングストップ用絶縁膜を形成する前に、前記拡散層中にシリサイド層を形成しておき、前記アニールを行う際に、前記エッティングストップ用絶縁膜を前記シリサイド層と反応させてよい。

【0053】I. 本発明の半導体装置の製造方法は、半導体基板上に、ソース・ドレイン拡散層及びゲート電極を有するMOSトランジスタを形成し、前記ソース・ドレイン拡散層中及び前記ゲート電極上にそれぞれシリサイド層を形成し、前記半導体基板上に前記MOSトランジスタを覆うエッティングストップ用絶縁膜を形成し、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成し、前記ソース・ドレイン拡散層上及び前記ゲート電極上における前記層間絶縁膜にコンタクトホールを形成し、アニールを行い、前記エッティングストップ用絶縁膜と前記シリサイド層とを反応させ、前記エッティングストップ用絶縁膜を合金化する、という一連の工程から構成される。

【0054】また、前記アニールを行う前に、前記コンタクトホール内に配線層を埋め込む。また、前記アニールを行う前に、前記コンタクトホール内に高融点金属を含む第1金属層を形成しておき、前記アニールを行う際に、前記エッティングストップ用絶縁膜を前記第1金属層と反応させててもよい。

【0055】J. 本発明の半導体装置の製造方法は、半導体基板上に、ソース・ドレイン拡散層及びゲート電極を有するMOSトランジスタを形成し、前記半導体基板上に前記MOSトランジスタを覆うエッティングストップ用絶縁膜を形成し、前記エッティングストップ用絶縁膜上に層間絶縁膜を形成し、前記ソース・ドレイン拡散層上及び前記ゲート電極上における前記層間絶縁膜にコンタクトホールを形成し、前記コンタクトホール内に高融点金属を含む第1金属層を形成し、アニールを行い、前記エッティングストップ用絶縁膜と前記第1金属層とを反応させ、前記エッティングストップ用絶縁膜を合金化する、という一連の工程から構成される。

【0056】また、前記アニールを行う前に、前記コンタクトホール内に第2金属層を埋め込む。また、前記拡散層を形成した後、前記エッティングストップ用絶縁膜を形成する前に、前記ソース・ドレイン拡散層中にシリサイド層を形成しておき、前記アニールを行う際に、前記エッティングストップ用絶縁膜と前記シリサイド層を反応させるようにしてもよい。

【0057】K. 本発明の半導体装置の製造方法は、半導体基板上の第1絶縁膜上に、上部が高融点金属を含む第1金属層からなる第1配線層を形成し、前記第1絶縁膜上に前記第1配線層を覆うエッティングストップ用絶縁膜を形成し、前記エッティングストップ用絶縁膜上に第2絶縁膜を形成し、前記第1配線層における前記第2絶縁膜にコンタクトホール（ピアホール）を形成し、アニールを行い、前記エッティングストップ用絶縁膜と前記第1金属層とを反応させ、前記エッティングストップ用絶縁膜を合金化する、という一連の工程から構成される。

【0058】また、前記アニールを行う前に、前記コンタクトホール内に配線層を埋め込む。また、前記アニ-

ルを行う前に、前記コンタクトホール内に高融点金属を含む第2金属層を形成しておき、前記アニールを行う際に、前記エッティングストップ用絶縁膜を前記第2金属層と反応させててもよい。

【0059】L. 本発明の半導体装置の製造方法は、半導体基板上の第1絶縁膜上に第1配線層を形成し、前記第1絶縁膜上に前記第1配線層を覆うエッティングストップ用絶縁膜を形成し、前記エッティングストップ用絶縁膜上に第2絶縁膜を形成し、前記第1配線層における前記第2絶縁膜にコンタクトホール（ピアホール）を形成し、前記コンタクトホール内に高融点金属を含む第1金属層を形成し、アニールを行い、前記エッティングストップ用絶縁膜と前記第1金属層とを反応させ、前記エッティングストップ用絶縁膜を合金化する、という一連の工程から構成される。

【0060】また、前記アニールを行う前に、前記コンタクトホール内に第2金属層を埋め込む。また、前記第1配線層を、その上部が高融点金属を含む第2金属層を有するように形成しておき、前記アニールを行う際に、前記エッティングストップ用絶縁膜を前記第2金属層と反応させててもよい。

【0061】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体装置及びその製造方法について詳細に説明する。図1は、本発明の第1実施の形態に関する半導体装置を示している。

【0062】この実施の形態は、MOSトランジスタのソース・ドレイン拡散層及びゲート電極に対するコンタクトホール部の構造に関する。シリコン基板21中に素子分離膜22が形成されている。この素子分離膜22は、STI（Shallow Trench Isolation）構造をしている。よって、シリコン基板21の表面と素子分離膜22の表面は、ほぼ一致している。素子分離膜22は、STI構造でなく、例えば、LOCOS構造であつてもよい。

【0063】シリコン基板21において、素子分離膜22に取り囲まれた部分には、P型のウエル領域23が形成されている。ウエル領域23の深さは、素子分離膜22の深さ（厚さ）よりも大きくなっている。

【0064】ウエル領域23の表面部には、ソース・ドレイン拡散層28が形成されている。ソース・ドレイン拡散層28の一部29は、シリサイド構造（例えば、チタンシリサイド）を有している。

【0065】なお、ソース・ドレイン拡散層28の一部29に加え、ゲート電極25の一部（上部）にもシリサイド層29を形成するいわゆるサリサイド構造とすれば、コンタクト抵抗の低減と共にゲート配線抵抗の減少にも貢献できる。

【0066】ゲート電極25は、ソース・ドレイン拡散層28との間のチャネル領域上のゲート酸化膜（例えば、

シリコン酸化膜) 24上に形成されている。ゲート電極25は、例えば、不純物を含んだポリシリコン膜から構成される。ゲート電極25のソース・ドレイン拡散層28側の側面には、それぞれシリコン窒化膜27が形成されている。

【0067】素子分離膜22上及びシリコン窒化膜27上には、本発明の主要部を構成する絶縁膜30が形成されている。この絶縁膜30は、少なくとも以下の二つの性質を有していることが必要である。

【0068】その性質とは、第一に、素子分離膜22及び層間絶縁膜31に対して、十分に大きなエッチング選択比を有していること、第二に、熱工程により、シリコン、シリサイド、又は金属と反応して導電膜に変化すること、である。

【0069】上記の二つの性質を有する絶縁膜としては、例えば、素子分離膜22及び層間絶縁膜31がそれぞれシリコン酸化膜(SiO_2)から構成されるような場合には、シリコン窒化膜(SiN など)が挙げられる。

【0070】このシリコン窒化膜は、絶縁性を有するが、例えば、窒化チタン(TiN)、チタン(Ti)などの金属、又はチタンシリサイド(TiSi_2)と反応することによって $\text{Ti}_{x}\text{Si}_{y}\text{N}_{z}$ (x, y, z は、任意の数)膜となり、導電性を有するようになる。

【0071】絶縁膜30上には、層間絶縁膜31が形成されている。層間絶縁膜31には、ソース・ドレイン拡散層28に達するコンタクトホール32が設けられている。コンタクトホール32は、素子分離膜22とオーバーラップしていても、又はしていないてもよいが、少なくともコンタクトホール32の底面が、基板21中又は素子分離膜22中に存在することはない。

【0072】コンタクトホール32中には、バリアメタル膜33及び金属配線34が形成されている。バリアメタル33は、高融点金属(単体)、高融点金属の窒化物や、これらの積層構造などであればよく、例えば、チタン(Ti)と窒化チタン(TiN)の積層から構成でき、金属配線34は、例えば、 Al (アルミ)- Si (シリコン)- Cu (銅)系のものを使用することができる。

【0073】ソース・ドレイン拡散層28の一部(シリサイド層)29と金属配線34の間には、導電膜35が形成されている。この導電膜35は、絶縁膜30がシリサイド29及び/又はバリアメタル33と反応してできた膜である。従って、導電膜35の組成は、少なくとも絶縁膜30を構成する原子、シリサイド層29を構成する原子、及び/又はバリアメタル33を構成する原子を含んでいる。

【0074】例えば、上述のように、シリサイド29がチタンシリサイドから構成され、絶縁膜30が窒化シリコンから構成され、バリアメタル33がチタンと窒化チ

タンの積層から構成されるような場合、導電膜35の組成は、 $\text{Ti}_{x}\text{Si}_{y}\text{N}_{z}$ となる。

【0075】同様に、ゲート電極25に対するコンタクトホール32¹が、素子分離膜22上の層間絶縁膜31に設けられている。このコンタクトホール32¹内には、バリアメタル33及び金属配線34が形成されている。ゲート電極25と金属配線34の間には、導電膜35が形成されている。この導電膜35は、絶縁膜30がシリサイド29及び/又はバリアメタル33と反応してできた膜である。

【0076】上記構成の半導体装置によれば、少なくとも素子分離膜22上に所定の性質を有する絶縁膜30が形成されている。よって、ソース・ドレイン拡散層28に対するコンタクトホール32が、基板21中又は素子分離膜22中に進入することがなく、また、ゲート電極25に対するコンタクトホール32¹がシリコン基板21の表面まで達することがない。

【0077】従って、シリコン基板21におけるリーク電流の発生を抑制できると共に製造歩留りを向上できる。また、シリサイド層29と金属配線34の間には、導電膜35が形成されている。この導電膜35は、絶縁膜30を導電化したものであるため、製造工程数の増加はなく、低コスト化を達成できる。

【0078】次に、本発明の第1実施の形態に関わる半導体装置の製造方法について説明する。まず、図2に示すように、シリコン基板21に溝を形成し、この溝にシリコン酸化膜などの絶縁膜を埋め込むことにより、STI構造を有する素子分離膜22を形成する。なお、素子分離膜は、LOCOS法により形成されるフィールド酸化膜であってもよい。

【0079】また、例えば、イオン注入法により、シリコン基板21の表面領域のうち素子分離膜22に取り囲まれた部分(素子領域)に、ボロン(B)などのP型不純物を導入し、P型ウエル領域23を形成する。

【0080】この後、例えば、熱酸化法により、シリコン基板21のP型ウエル領域23の表面に、シリコン酸化膜24¹を形成する。また、例えば、LPCVD法により、シリコン酸化膜24¹上に、リン(P)、砒素(A₃S)などのN型不純物を含んだ約200nmの厚さ

を有するポリシリコン膜25¹を形成する。さらに、例えば、LPCVD法により、ポリシリコン膜25¹上に、シリコン窒化膜26¹を形成する。

【0081】次に、フォトリソグラフィ技術を用いて、シリコン窒化膜26¹上にレジストパターンを形成し、このレジストパターンをマスクにしてシリコン窒化膜26¹をパターニングする。また、レジストパターンを除去した後、シリコン窒化膜26¹のパターンをマスクにして、RIEによりポリシリコン膜25¹及びシリコン酸化膜24¹をエッチングする。

【0082】その結果、図3に示すように、シリコン窒

化膜のパターン26の直下には、ゲート電極25及びゲート絶縁膜24がそれぞれ形成される。また、イオン注入法により、ゲート電極25をマスクにして、N型不純物（例えば、砒素）を、所定の加速度で、ウエル領域23にセルフアラインによって注入する。

【0083】この後、シリコン窒化膜のパターン26は、除去される。なお、ウエル領域23中のN型不純物は、この後に行われる熱工程（アニールなどの熱が加わる工程）によって活性化され、このN型不純物が注入された領域は、ソース・ドレイン拡散層28となる。

【0084】次に、図4に示すように、LPCVD法により、シリコン基板21上の全面にシリコン窒化膜27を形成した後、RIEにより、シリコン窒化膜27をエッティングすると、このシリコン窒化膜27は、ゲート電極25の側壁（ソース・ドレイン拡散層側の側面）に残存する。

【0085】この後、剥き出しになったソース・ドレイン拡散層28の表面上及びゲート電極25上に、同時に、チタンシリサイド（TiSi₂）層29を形成する（シリサイド構造）。

【0086】次に、図5乃至図7に示すように、プラズマCVD法を用いて、シリコン基板21上の全面に、約10nmの厚さを有し、非化学量論的組成を持つシリコン窒化膜30を形成する。続けて、LPCVD法により、シリコン窒化膜30上に、約900nmの厚さを有するシリコン酸化膜（層間絶縁膜）31を形成する。

【0087】また、CMP（化学的機械的研磨）法により、シリコン酸化膜31が研磨され、シリコン酸化膜31の表面が平坦化される。この後、フォトリソグラフィ技術により、シリコン酸化膜31上にレジストパターンが形成される。RIE法により、このレジストパターンをマスクにしてシリコン酸化膜31をエッティングし、ソース・ドレイン拡散層28の上部にコンタクトホール32、ゲート電極25の上部にコンタクトホール32'をそれぞれ形成する。

【0088】このRIEにおいては、シリコン窒化膜30とシリコン酸化膜31のエッティング選択比が大きいため、エッティングは、シリコン窒化膜30の表面部で止まる。即ち、この時点で、コンタクトホール32、32'の底面は、シリコン窒化膜30の表面とほぼ一致している。

【0089】この後、シリコン酸化膜31上及びコンタクトホール32、32'内に、チタン及び窒化チタンの積層からなる約10nmの厚さを有するバリアメタル33を形成する。

【0090】次に、図8及び図9に示すように、摂氏400～600度の温度において、アニールを行うと、コンタクトホール32、32'直下のシリコン窒化膜30は、チタンシリサイド層29中のチタンや、バリアメタル（Ti/TiN）33中のチタンと反応し、導電膜

（Ti-Si-N系合金）35に変化する。この反応の際、コンタクト部におけるシリサイド層29やバリアメタル33の層が完全に消滅してもよい。

【0091】また、例えば、スパッタ法により、バリアメタル33上に約400nmの厚さを有する金属膜（Al-Si-Cu系合金）を形成する。この後、通常のリソグラフィ技術とエッティング技術を用い、金属配線34を形成する。

【0092】上記製造方法によれば、ソース・ドレイン拡散層28上、及びゲート電極25上には、予めエッティングストップとして機能する絶縁膜30を設けているため、コンタクトホール形成時に、素子分離膜22やシリコン基板（ソース・ドレイン拡散層）21がエッティングされる事態が回避される。

【0093】また、コンタクトホール32、32'直下の絶縁膜30は、アニールによって、シリサイド層29中の金属原子（例えば、チタン）や、バリアメタル33中の金属原子（例えば、チタン）と反応し、導電化（合金化）されるため、製造工程の大幅な増加なく、リーク電流の少ない、高信頼性、低コストの半導体装置を提供できる。

【0094】なお、上述の第1実施の形態において、エッティングストップとしては、シリコン窒化膜を用いたが、これに変えて、シリコン窒化炭化膜（Si_xN_yC_z：x, y, zは、任意の数）などのSiNをベースにする化合物でもよい。

【0095】また、ソース・ドレイン拡散層28上のシリサイド層29は、チタンシリサイドに限られず、タンゲステン（W）やプラチナ（Pt）などのシリサイドであってもよい。場合によっては、シリサイド層29は、設けなくてもよい。また、バリアメタル33も、チタン系の金属に限られず、タンゲステン（W）やプラチナ（Pt）系の金属であってもよい。

【0096】また、上述の第1実施の形態では、ゲート電極25上のシリコン窒化膜26は、完全に除去されているが、シリコン窒化膜26の一部を導電化できること又は除去できることを条件として、残存させるようにしてもよい。

【0097】さらに、本実施の形態では、シリコン窒化膜30は、シリサイド層29及びバリアメタル33と反応することにより合金化されているが、いずれか一方のみとの反応によって合金化するようにしてもよい。即ち、シリサイド層29及びバリアメタル33のうちの一方を省略することもできる。

【0098】また、本実施の形態では、金属配線（低融点金属）34の形成前に、シリコン窒化膜30の合金化のためのアニールを行っているが、温度条件などによっては、金属配線34の形成後に行うこと也可能である。

【0099】図10は、本発明の第2実施の形態に関する半導体装置を示している。この実施の形態は、異なる

層に存在する二つの配線層を互いに接続するためのピアホール部の構造に関する。

【0100】シリコン基板21中には、例えば、STI構造の素子分離膜22が形成されている。シリコン基板21において、素子分離膜22を取り囲まれた部分には、P型のウエル領域23が形成されている。

【0101】ウエル領域23の表面部には、ソース・ドレイン拡散層28が形成されている。ゲート電極25は、ソース・ドレイン拡散層28との間のチャネル領域上のゲート酸化膜（例えば、シリコン酸化膜）上に形成されている。

【0102】ゲート電極25は、例えば、不純物を含んだポリシリコン膜から構成される。ゲート電極25のソース・ドレイン拡散層28側の側面には、それぞれシリコン窒化膜27が形成されている。

【0103】シリコン基板21上には、ゲート電極25、ソース・ドレイン拡散層28からなるMOSトランジスタを完全に覆う約900nmの厚さを有するシリコン酸化膜31が形成されている。シリコン酸化膜31の表面は、CMPによって平坦化されている。

【0104】シリコン酸化膜31上には、約400nmの厚さを有する金属（例えば、Al-Si-Cu系合金）34と、約40nmの厚さを有する金属（例えば、TiN）36の積層から構成される金属配線が形成されている。

【0105】シリコン酸化膜31上及び金属配線34、36の側面には、本発明の主要部を構成する絶縁膜37が形成されている。この絶縁膜37は、少なくとも以下の二つの性質を有していることが必要である。

【0106】その性質とは、第一に、層間絶縁膜31、38に対して、十分に大きなエッチング選択比を有していること、第二に、熱工程により、シリコン、シリサイド、又は金属と反応して導電膜に変化すること、である。

【0107】上記の二つの性質を有する絶縁膜としては、例えば、層間絶縁膜31、38がそれぞれシリコン酸化膜(SiO₂)から構成されるような場合には、シリコン窒化膜(SiN)など)が挙げられる。

【0108】このシリコン窒化膜は、絶縁性を有するが、例えば、窒化チタン(TiN)、チタン(Ti)などの金属、又はチタンシリサイド(TiSi₂)と反応することによってTi_xSi_yN_z(x, y, zは、任意の数)膜となり、導電性を有するようになる。

【0109】絶縁膜37上には、層間絶縁膜38が形成されている。層間絶縁膜38には、金属配線34、36に達するピアホール39が設けられている。ピアホール39の底面は、シリコン窒化膜37の表面よりも下側に位置することはない。

【0110】ピアホール39内には、バリアメタル膜40及び金属配線41が形成されている。バリアメタル40

0は、例えば、窒化チタン(TiN)や、チタンと窒化チタンの積層などから構成でき、金属配線41は、例えば、Al(アルミ)-Si(シリコン)-Cu(銅)系のものを使用することができる。

【0111】金属配線34、36と金属配線40、41の間には、導電膜42が形成されている。この導電膜42は、絶縁膜37が、金属(窒化チタンなど)36及び/又はバリアメタル(窒化チタンなど)40と反応することによってできた膜である。従って、導電膜35の組成は、少なくとも絶縁膜37を構成する原子と、金属36を構成する原子及び/又はバリアメタル40を構成する原子を含んでいる。

【0112】例えば、上述のように、金属36が窒化チタンから構成され、絶縁膜37が窒化シリコンから構成され、バリアメタル33が窒化チタンから構成されるような場合、導電膜35の組成は、Ti_xSi_yN_zとなる。

【0113】上記構成の多層配線構造を有する半導体装置によれば、下層の配線層の下地となるシリコン酸化膜31上には、エッチングストップとしてのシリコン窒化膜37が形成されている。よって、異なる配線層をつなぐためのピアホール39が、下地のシリコン酸化膜31中に進入することができなく、半導体装置の製造歩留りを向上できる。

【0114】また、下層配線34、36と上層配線40、41の間には、導電膜42が形成されている。この導電膜42は、絶縁膜37を導電化したものであるため、製造工程数の増加はなく、低コスト化を達成できる。

【0115】次に、本発明の第2実施の形態に関わる半導体装置の製造方法について説明する。まず、図11に示すように、上述の第1実施の形態に示す製造方法と同様の方法によって、シリコン基板21上にMOSトランジスタを形成し、かつ、シリコン基板21上に、MOSトランジスタを完全に覆うような約900nmの厚さを有するシリコン酸化膜31を形成する。

【0116】シリコン酸化膜31の表面は、CMPにより平坦化される。シリコン酸化膜31上には、約400nmの厚さを有する金属配線(Al-Si-Cu系合金)34が形成される。

【0117】本実施の形態が上述の第1実施の形態と異なる点は、金属配線34上に、約40nmの厚さを有する金属(窒化チタン)36が形成されている点にある。次に、図12に示すように、プラズマCVD法を用いて、シリコン酸化膜31上及び金属配線34、36上に、約10nmの厚さを有し、非化学量論的の組成を持つシリコン窒化膜37を形成する。

【0118】続いて、LPCVD法により、シリコン窒化膜37上に、例えば、約900nmの厚さを有する層間絶縁膜(例えば、TEOS膜)38を形成する。層間

絶縁膜38の表面は、CMPにより平坦化される。

【0119】次に、図13に示すように、層間絶縁膜38上にレジスト43を塗布する。通常のフォトリソグラフィ技術を用いて、金属配線34、36上に開口を有するレジストパターンを形成する。

【0120】この後、RIE法を用いて、レジストパターンをマスクに層間絶縁膜38をエッチングすると、層間絶縁膜38にピアホール39が形成される。この時、シリコン窒化膜37と層間絶縁膜(TEOS膜)38のエッチング選択性が大きくなるように設定されているため、エッチングは、シリコン窒化膜37の表面部で止まる。

【0121】ここで、図14に示すように、レチクルと集積回路装置の合せざれにより、ピアホール39の位置がずれた場合について検討する。この場合においても、シリコン酸化膜31上の全体をシリコン窒化膜37が覆っているため、エッチングは、常にシリコン窒化膜37の表面で止まり、ピアホール39の底部がシリコン酸化膜31中に進入することはない。

【0122】一方、図15に示すように、エッティングストップとしてのシリコン窒化膜が存在しない場合には、エッティングは、配線層34、36より下のシリコン酸化膜31まで進行し、製造歩留りの低下を招く。

【0123】次に、図16に示すように、層間絶縁膜38上及びピアホール39内に、チタン(Ti)を約3nm、窒化チタン(TiN)を約7nm連続的に形成し、合計で約10nmの厚さを有するバリアメタル40を形成する。

【0124】この後、図17に示すように、摂氏400度の温度において、アニールを行うと、ピアホール39直下のシリコン窒化膜37は、例えば、窒化チタン膜36中のチタンや、バリアメタル(Ti/TiN)33中のチタンと反応し、導電膜(Ti-Si-N系合金)42に変化する。

【0125】次に、図18に示すように、例えば、スパッタ法により、バリアメタル40上に約600nmの厚さを有する金属膜(A1-Si-Cu系合金)を形成する。この後、通常のリソグラフィ技術とエッティング技術を用い、金属配線41を形成する。

【0126】上記製造方法によれば、配線層34、36より下のシリコン酸化膜31上には、予めエッティングストップとして機能するシリコン窒化膜37を設けているため、合せざれによりピアホール39の位置がずれても、エッティングは、常に、シリコン窒化膜37の表面で止まり、シリコン酸化膜31に進行することがない。

【0127】また、ピアホール39直下のシリコン窒化膜37は、アニールによって、金属配線36中の金属原子(例えば、チタン)や、バリアメタル40中の金属原子(例えば、チタン)と反応し、導電化(合金化)されるため、製造工程の大幅な増加なく、リーク電流の少な

い、高信頼性、低成本の半導体装置を提供することができる。

【0128】なお、上述の第2実施の形態においても、エッチングストップとしては、シリコン窒化膜を用いたが、これに変えて、シリコン窒化炭化膜(Si_xN_yC_z:x, y, zは、任意の数)などのSiNをベースにする化合物でもよい。

【0129】また、金属配線36やバリアメタル40は、窒化チタンに限らず、タンクステン(W)やプラチナ(Pt)系の金属であってもよい。さらに、本実施の形態では、シリコン窒化膜37は、下層の金属配線の上部(窒化チタン)36と上層の金属配線の下部(窒化チタン)40の双方と反応させて合金化しているが、いずれか一方のみと反応させることにより合金化してもよい。即ち、金属層36、40のうちの一方を省略することもできる。

【0130】また、本実施の形態では、金属配線(低融点金属)41の形成前に、シリコン窒化膜37の合金化のためのアニールを行っているが、温度条件などによっては、金属配線41の形成後に行うこと也可能である。

【0131】

【発明の効果】以上、説明したように、本発明の半導体装置及びその製造方法によれば、次のような効果を奏する。上記製造方法によれば、ソース・ドレイン拡散層上、ゲート電極上や、配線層上に、エッティングストップとして機能する絶縁膜(シリコン窒化膜など)を設けているため、コンタクトホールやピアホールの形成時に、エッティングは、常に、当該絶縁膜の表面で止まる。よって、素子分離膜、シリコン基板(ソース・ドレイン拡散層)や、配線層下の層間絶縁膜が、エッティングされるという事態を回避できる。

【0132】また、コンタクトホールやピアホールの直下に設ける絶縁膜は、アニールによって、金属シリサイド又は金属膜中の金属原子(チタンなど)や、バリアメタル中の金属原子(チタンなど)と反応し、導電化(合金化)される。このため、製造工程の大幅な増加なく、リーク電流の少ない、高信頼性、低成本の半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関する半導体装置を示す断面図。

【図2】図1の半導体装置の製造方法の一工程を示す断面図。

【図3】図1の半導体装置の製造方法の一工程を示す断面図。

【図4】図1の半導体装置の製造方法の一工程を示す断面図。

【図5】図1の半導体装置の製造方法の一工程を示す平面図。

【図6】図5のVI-VI線に沿う断面図。

23

【図7】図5のV I I - V I I 線に沿う断面図。

【図8】図1の半導体装置の製造方法の一工程を示す断面図。

【図9】図1の半導体装置の製造方法の一工程を示す断面図。

【図10】本発明の第2実施の形態に関わる半導体装置を示す断面図。

【図11】図10の半導体装置の製造方法の一工程を示す断面図。

【図12】図10の半導体装置の製造方法の一工程を示す断面図。

【図13】図10の半導体装置の製造方法の一工程を示す断面図。

【図14】図10の半導体装置の製造方法の一工程を示す断面図。

【図15】従来の半導体装置の製造方法の一工程を示す断面図。

【図16】図10の半導体装置の製造方法の一工程を示す断面図。

【図17】図10の半導体装置の製造方法の一工程を示す断面図。

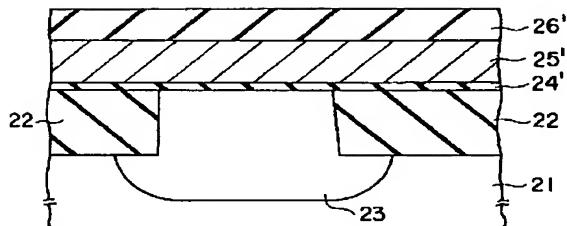
【図18】図10の半導体装置の製造方法の一工程を示す断面図。

【図19】従来の半導体装置を示す平面図。

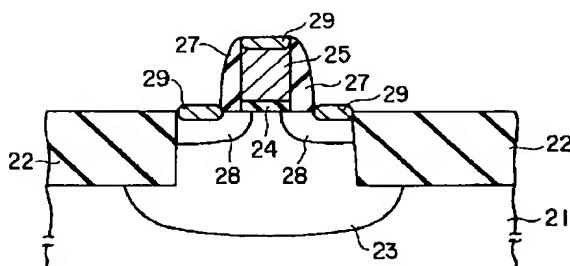
【図20】従来の半導体装置を示す平面図。

【図21】従来の半導体装置を示す断面図。

【図2】



【図4】



24

* 【図22】従来の半導体装置を示す断面図。

【図23】従来の半導体装置の製造方法の一工程を示す断面図。

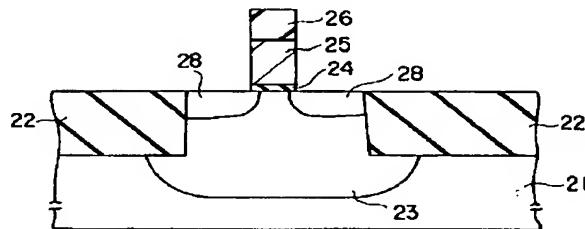
【図24】従来の半導体装置の製造方法の一工程を示す断面図。

【図25】従来の半導体装置の製造方法の一工程を示す断面図。

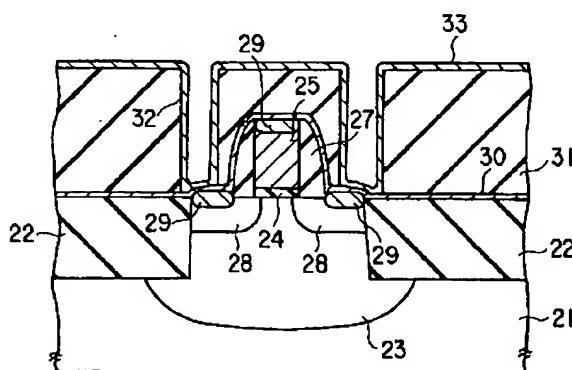
【符号の説明】

2 1	:シリコン基板、
2 2	:素子分離膜、
2 3	:ウエル領域、
2 4	:ゲート酸化膜、
2 5	:ゲート電極、
2 6, 2 7, 3 7	:シリコン窒化膜、
2 8	:ソース・ドレイン拡散層、
2 9	:金属シリサイド層、
3 0	:絶縁膜、
3 1	:シリコン酸化膜（層間絶縁膜）、
3 2, 3 2	:コンタクトホール、
3 3, 4 0	:バリアメタル、
3 4, 4 1	:金属配線、
3 5, 4 2	:導電膜、
3 6	:金属配線（窒化チタン）、
3 8	:T E O S 膜（層間絶縁膜）、
3 9	:ピアホール。

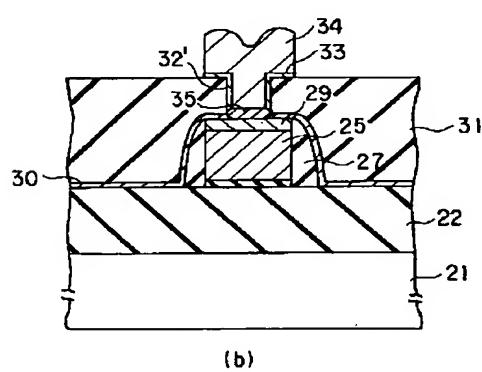
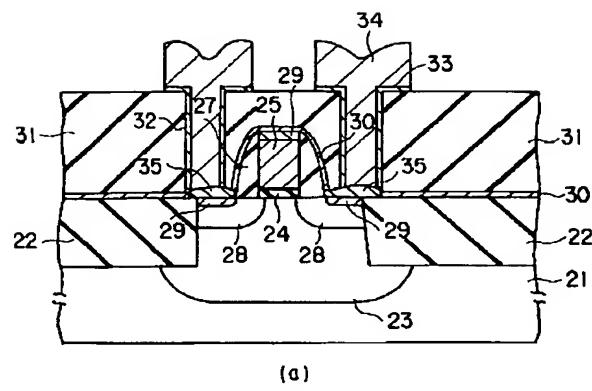
【図3】



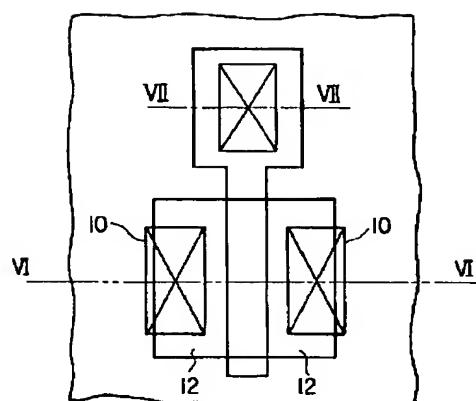
【図6】



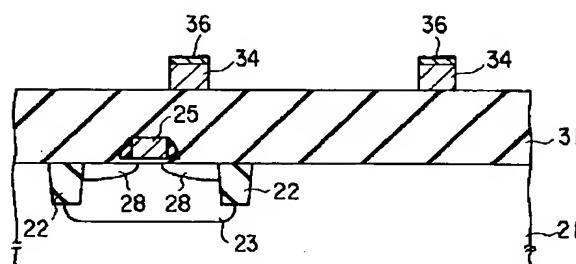
【図 1】



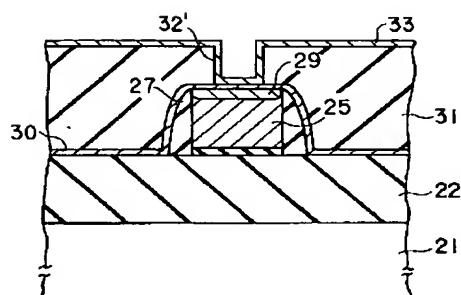
【図 5】



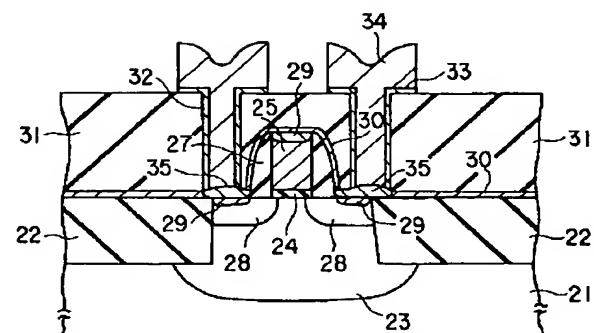
【図 11】



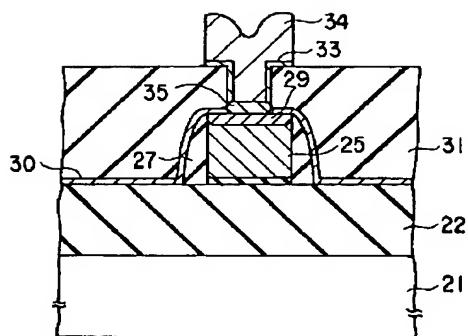
【図 7】



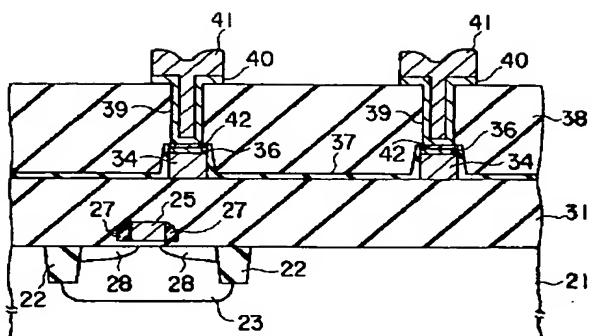
【図 8】



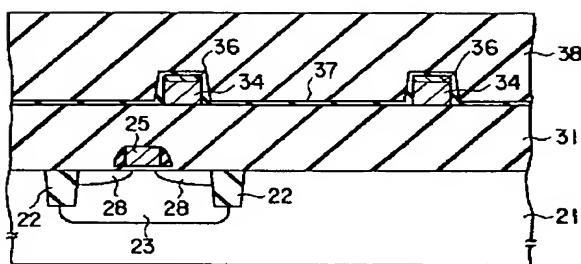
【図9】



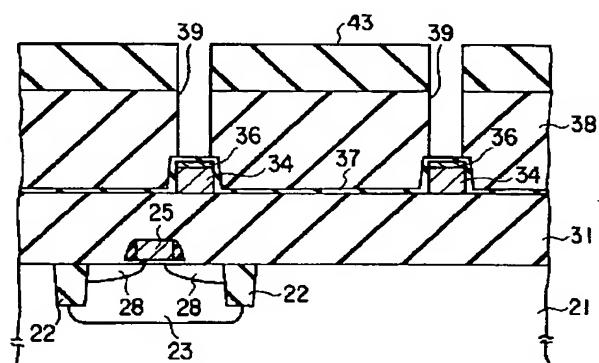
【図10】



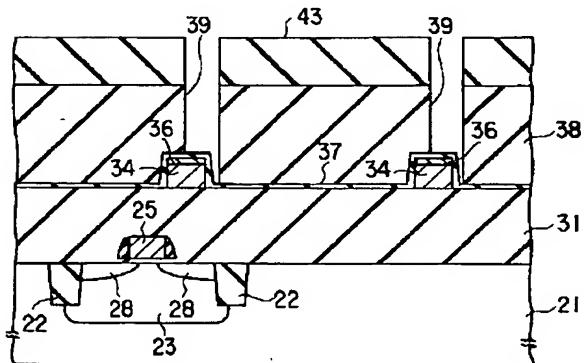
【図12】



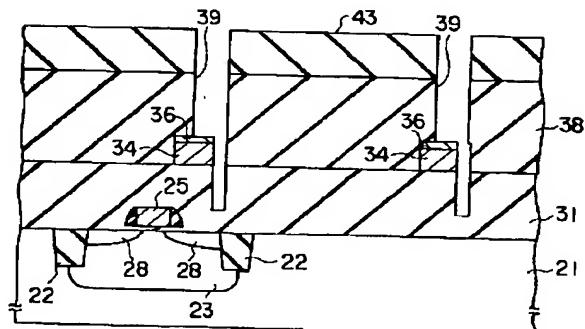
【図13】



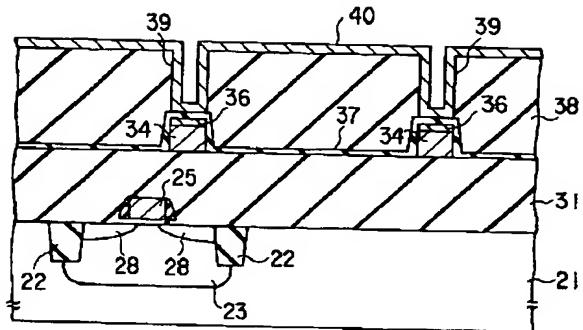
【図14】



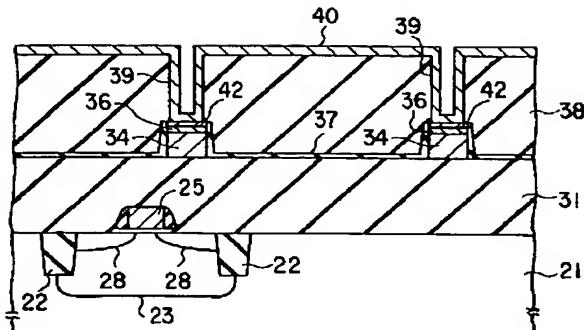
【図15】



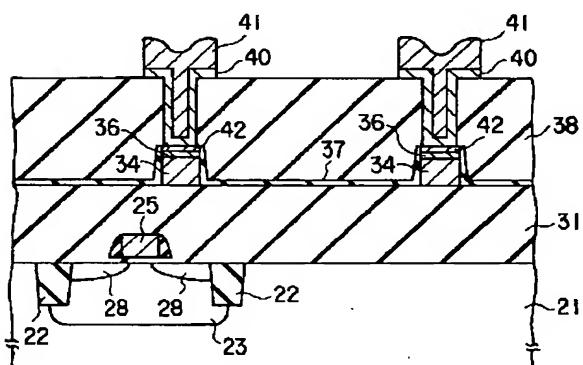
【図16】



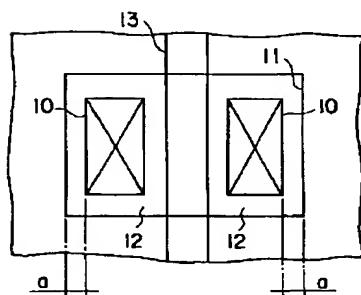
【図17】



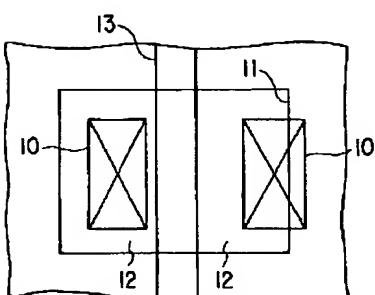
【図18】



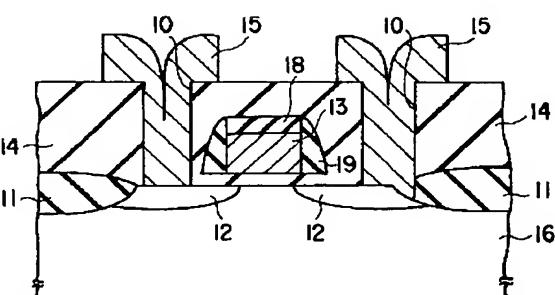
【図19】



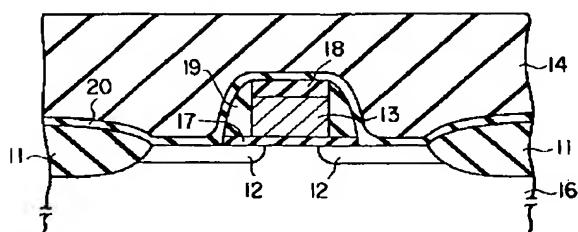
【図20】



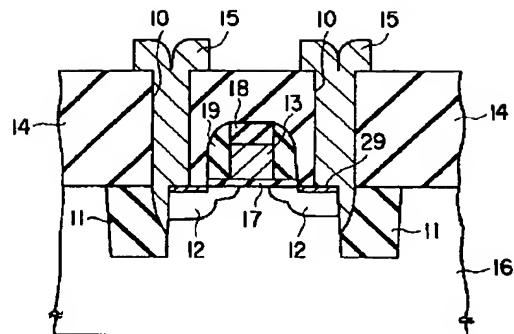
【図21】



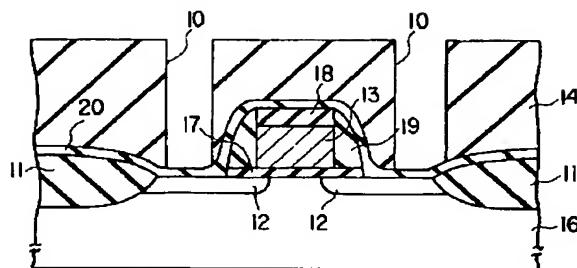
【図23】



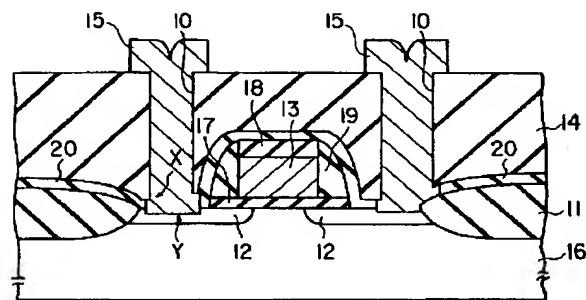
【図22】



【図24】



【図25】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 01 L 21/336